

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-066406

(43)Date of publication of application : 10.03.1995

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/28

(21)Application number : 05-210584

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 25.08.1993

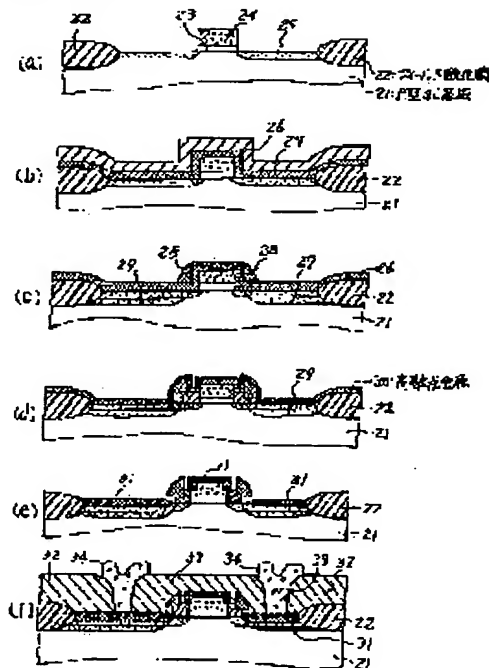
(72)Inventor : IDA JIRO

(54) SELF-ALIGNED SILICIDE MOSFET AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To restrain the increase of gate resistance in accordance with the reduction of gate size, and realize the high speed operation of a circuit.

CONSTITUTION: In a self-aligned silicide MOSFET, high melting point metal silicide 31 is formed in at least a part of both side surfaces of a gate electrode 24 and at least a part of the lower portion of a side wall 28 of the gate electrode 24.



LEGAL STATUS

[Date of request for examination] 24.08.1999

[Date of sending the examiner's decision of rejection] 26.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66406

(43) 公開日 平成7年(1995)3月10日

(51) Int.Cl.⁶ 識別記号 庁内整理番号 F I 技術表示箇所H 0 1 L 29/78
21/336
21/283 0 1 T 7376-4M
7514-4M

H 0 1 L 29/78 3 0 1 P

審査請求 未請求 請求項の数4 O L (全 6 頁)

(21) 出願番号 特願平5-210584

(22) 出願日 平成5年(1993)8月25日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 井田 次郎

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

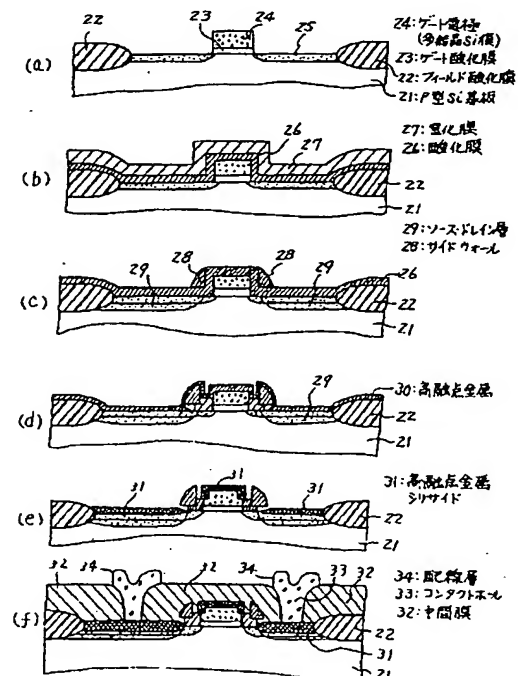
(74) 代理人 弁理士 清水 守 (外1名)

(54) 【発明の名称】 サリサイド型MOSFET及びその製造方法

(57) 【要約】

【目的】 ゲート寸法が縮小化されるに伴い、ゲート抵抗が増えるのを抑え、回路の高速動作を図り得るサリサイド型MOSFET及びその製造方法を提供する。

【構成】 サリサイド型MOSFETにおいて、ゲート電極24の両側面の少なくとも一部及び該ゲート電極24のサイドウォール28の下方の少なくとも一部に高融点金属シリサイド31を形成する。



【特許請求の範囲】

【請求項 1】 ゲート電極の両側面の少なくとも一部に形成される高融点金属シリサイドを具備することを特徴とするサリサイド型 MOSFET。

【請求項 2】 前記ゲート電極のサイドウォール絶縁膜の下方の少なくとも一部に形成される高融点金属シリサイドを具備することを特徴とする請求項 1 記載のサリサイド型 MOSFET。

【請求項 3】 (a) ゲート電極形成後、全面に酸化膜を堆積する工程と、

(b) 全面に窒化膜を堆積し、異方性エッチングにより窒化膜サイドウォールを形成する工程と、

(c) 前記酸化膜を前記ゲート電極の両側面が一部露出し、窒化膜サイドウォール下のシリコン基板が一部露出するようにエッチングする工程と、

(d) 全面に高融点金属を堆積する工程と、

(e) シリサイド化反応を行い、未反応高融点金属を除去する工程とを施すことを特徴とするサリサイド型 MOSFET の製造方法。

【請求項 4】 (a) ゲート電極形成後、全面に絶縁膜を堆積する工程と、

(b) 異方性エッチングによりゲート電極両側面の一部分が露出するまでエッチングを行う工程と、

(c) 全面に高融点金属を堆積する工程と、

(d) シリサイド化反応を行い、未反応高融点金属を除去する工程とを施すことを特徴とするサリサイド型 MOSFET の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、サリサイド型 MOSFET の構造及びその製造方法に関するものである。

【0002】

【従来の技術】 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) が縮小化されるにしたがい、そのゲート長が短くなり、また、短チャネル効果を抑制するため、ソース・ドレイン領域の接合深さ X_j は、浅くせざるを得ない。ゲート長が短くなり、MOSFET のオン抵抗は下がり、一方で X_j が浅くなるため、ソース・ドレインのシート抵抗は増大する。

【0003】 したがって、ゲート長がサブミクロン領域の MOSFET では、ソース・ドレインのシート抵抗が、MOSFET のオン抵抗に対して無視し得なくなり、MOSFET の駆動力がソース・ドレイン領域の寄生抵抗により低下する問題が顕著となる。このような問題に対して、ソース・ドレイン及びゲートをセルフ・アライメントにシリサイド化し、シート抵抗を下げるサリサイド・プロセスがある。

【0004】 図 2 に、従来より使われてきたサリサイド型 MOSFET ・プロセスをチタン・シリサイドを例に

示す。

(1) まず、図 2 (a) に示すように、通常製造工程にしたがって、半導体基板 1 上にフィールド酸化膜 2 を形成後、ゲート電極 3、サイドウォール 4、ソース・ドレイン層 5 を形成する。

【0005】 (2) 次に、図 2 (b) に示すように、全面に Ti 膜 6 を堆積する。

(3) 次に、図 2 (c) に示すように、700℃で 10 秒程度のアニールにより、ソース・ドレイン及びゲートのシリコン層と Ti 膜 6 が接しているところで、シリサイド化を起こさせる。その後、フィールド酸化膜 2 上、サイドウォール 4 上の未反応 Ti を選択エッチングにより除去する。その後、900℃で 10 秒程度のシリサイド低抵抗化アニールを行なう。

【0006】 (4) その後、通常プロセスにしたがって、図 2 (d) に示すように、中間膜 8 を堆積し、コンタクトホール 9 を開口し、配線層 10 を形成し、最後に保護膜 11 を形成する。

【0007】

【発明が解決しようとする課題】 しかしながら、以上述べた従来のサリサイド型 MOSFET においても、今後ゲート長がさらに短くなるにしたがい、以下の問題がある。まず、ゲート長が 0.3 μm 、0.2 μm 、0.1 μm と短くなるにしたがい、シリサイド化されたゲートにおいても、そのゲートの抵抗が回路の高速動作を阻害するようになる。すなわち、ゲート長 0.2 μm 、ゲート幅 20 μm 、通常シリサイドのシート抵抗を 5 Ω/\square とすると、20 μm 幅のゲートのみで 500 Ω の抵抗となり、0.2 μm 時代の MOSFET のオン抵抗 (20 μm 幅、0.6 mA/ μm とすると 170 Ω) より十分大きくなり、回路の高速動作の劣化要因となる。

【0008】 また、サイドウォール下のサリサイド化されていないソース・ドレイン領域のシート抵抗が無視し得なくなり、これがサリサイド型 MOSFET であっても、電流駆動力を下げる原因となる。本発明は、以上述べたゲート寸法が縮小化されるに伴うゲート抵抗の増大をなくし、回路の高速動作を図り得るサリサイド型 MOSFET 及びその製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】 本発明は、上記目的を達成するために、

(A) サリサイド型 MOSFET において、ゲート電極の両側面の少なくとも一部に形成される高融点金属シリサイドを設けるようにしたものである。また、更に、前記ゲート電極のサイドウォール絶縁膜の下方の少なくとも一部に形成される高融点金属シリサイドを設けるようにしたものである。

【0010】 (B) また、サリサイド型 MOSFET の製造方法において、ゲート電極形成後、全面に酸化膜を

3

堆積する工程と、全面に窒化膜を堆積し、異方性エッチングにより窒化膜サイドウォールを形成する工程と、前記酸化膜を前記ゲート電極の両側面が一部露出し、窒化膜サイドウォール下のシリコン基板が一部露出するようにエッチングする工程と、全面に高融点金属を堆積する工程と、シリサイド化反応を行い、未反応高融点金属を除去する工程とを施すようにしたものである。

【0011】(C)更に、シリサイド型MOSFETの製造方法において、ゲート電極形成後、全面に絶縁膜を堆積する工程と、異方性エッチングによりゲート電極両側面の一部分が露出するまでエッチングを行う工程と、全面に高融点金属を堆積する工程と、シリサイド化反応を行い、未反応高融点金属を除去する工程とを施すようにしたものである。

【0012】

【作用】本発明によれば、上記したように、高集積化に伴いゲート寸法が縮小化される場合でも、ゲート電極の少なくとも両側面の一部がシリサイド化されるため、ゲート電極の低抵抗化を図ることができる。また、サイドウォールを一部除去して、ソース・ドレイン上のシリサイド化をゲート近傍まで近づけるようにしたので、サイドウォール下の寄生抵抗を低減することができる。

【0013】しかも、上記(B)において、窒化膜下は、スパッタリング時の回り込みにより、高融点金属を堆積するようにしているため、奥に行くほど、つまりゲート電極側に行くほど、高融点金属は薄くなり、ソース・ドレインの接合深さ、及び不純物濃度もゲート電極側に近づくほど浅くなるため、接合リーク電流を低減できる。

【0014】また、上記(B)において、窒化膜サイドウォールとゲート電極の間、及び窒化膜サイドウォールとシリコン基板の間を1000Å程度エッチングする間に、ゲート電極表面、ソース・ドレインとなるシリコン基板表面の酸化膜を確実にエッチング除去できるため、安定したシリサイド形成が可能となる。

【0015】

【実施例】以下、本発明の実施例について図を参照しながら詳細に説明する。図1は本発明の第1の実施例を示すシリサイド型MOSFETの製造工程断面図である。ここでは、NチャネルMOSFETの例で示す。

(1)まず、図1(a)に示すように、P型シリコン基板21上にフィールド酸化膜22(約4000Å)を通常のLOCOS法で形成する。その後、ゲート酸化膜23(約100Å)を形成し、更に、LPCVDにより、ゲート電極となる多結晶シリコン膜24を約3000Å堆積する。通常のホトリソエッチングにより、ゲート電極のパターン形成を行なう。25はLDD層である。

【0016】(2)次に、図1(b)に示すように、全面にLPCVDにより、酸化膜26を300Å~700Å程度堆積する。この場合、成膜条件として、温度を下

4

げる等により粗な膜として、後の工程(4)〔図1

(d)参照〕における酸化膜ウェットエッチング時にフィールド酸化膜22より十分速くエッチングが進む膜質とする。その後、プラズマCVDにより、1500Å程度の窒化膜27を堆積する。この場合、膜質としては、RFパワーを下げる等により、低ストレスな膜質とし、シリコン中に欠陥が入るのを防止する必要がある。

【0017】(3)次に、図1(c)に示すように、異方性エッチングにより、窒化膜27をエッチングし、1500Å程度の幅を持つサイドウォール28を形成する。その後、サイドウォール28をマスクにしてシリコン中へソース・ドレイン形成用不純物注入を行い、ソース・ドレイン層29を形成する。

(4)次に、図1(d)に示すように、フッ酸系のエッチャントにより、前記工程(2)〔図1(b)参照〕で堆積した酸化膜26をエッチング除去し、さらに窒化膜サイドウォール28の下、及びゲート電極を構成する多結晶シリコン膜24と挟まれた部分の酸化膜をも1000Å程度エッチング除去する。引き続き、Ti等の高融点金属膜30を全面にスパッタリングにより、300~400Å程度堆積する。この場合、例えば、ECR共鳴周波数の高い875MHz×2倍等のスパッタリングにより、ゲート両側面及び窒化膜サイドウォール28下にも十分高融点金属膜30が堆積されるようにする。

【0018】(5)次に、図1(e)に示すように、アニールにより、高融点金属膜30、P型シリコン基板21及び多結晶シリコン膜24の接触した部分でシリサイド化を起こさせ、高融点金属シリサイド31とする。更に、酸化膜26上及び窒化膜27上の未反応高融点金属をエッチングにより選択的に除去する。その後、高融点金属シリサイド31の低抵抗化アニールを行なう。

【0019】(6)次に、図1(f)に示すように、通常の方法に従い、中間膜32を堆積し、配線とのコンタクトホール33を開け、そこに配線層34をパターンニングする。図3は本発明の第2の実施例を示すシリサイド型MOSFETの製造工程断面図である。

【0020】(1)まず、図3(a)に示すように、図1(a)と同様、ゲートパターンニングまで完了する。つまり、P型シリコン基板41上にフィールド酸化膜42(約4000Å)を通常のLOCOS法で形成する。その後、ゲート酸化膜43(約100Å)を形成し、更に、LPCVDにより、ゲート電極となる多結晶シリコン膜44を約3000Å堆積する。通常のホトリソエッチングにより、ゲート電極のパターン形成を行なう。45はLDD層である。

【0021】(2)次に、図3(b)に示すように、全面にLPCVDにより、酸化膜46を1000Å程度堆積する。この場合、成膜条件として、温度を下げる等により粗な膜として、後の工程(3)〔図1(c)参照〕における酸化膜異方性エッチング時にフィールド酸化膜

5

42より十分速くエッチングが進む膜質とする。

(3) 次いで、図3(c)に示すように、異方性エッチングによりその酸化膜46をエッチングし、さらにゲートの両側面に酸化膜47が1000Å程度出るまでエッチングを進める。

【0022】(4) 次いで、図3(d)に示すように、全面に高融点金属48を堆積する。この場合、第1の実施例と同様、ゲートの両側面に十分高融点金属48が堆積するスパッタリング技術を使用する。

(5) 次に、図3(e)に示すように、図1(e)と同様に、シリサイド化反応、未反応高融点金属除去、低抵抗化アニールを行なう。すなわち、このアニールにより、高融点金属膜48、P型シリコン基板41及びゲート電極である多結晶シリコン膜44と接触した部分でシリサイド化を起こさせ、高融点金属シリサイド49とする。

【0023】以下は、図1(f)の工程に従う。なお、前記高融点金属の堆積は、共鳴周波数(高い周波数を用いる)、ECRスパッタリング技術などのステップカバレージの良いスパッタリング技術で行なうことが望ましい。また、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0024】

【発明の効果】以上、詳細に説明したように、本発明によれば、高集積化に伴いゲート寸法が縮小化される場合でも、ゲート電極両側面の少なくとも一部がシリサイド化されるため、ゲート電極の低抵抗化を図ることができる。更に、窒化膜サイドウォール下も一部シリサイド化することができ、サイドウォール下の寄生抵抗を低減することができる。しかも、窒化膜サイドウォール下は、スパッタリング時の回り込みにより、高融点金属を堆積しているため、奥に行くほど、つまりゲート電極側に近づくほど、高融点金属は薄くなり、ソース・ドレインの

6

接合深さ、及び不純物濃度もゲート電極側に近づくほど浅くなるため、接合リーク電流を低減できる。

【0025】また、窒化膜サイドウォールとゲート電極の間、及び窒化膜サイドウォールとシリコン基板の間を1000Å程度エッチングする間に、ゲート電極表面、ソース・ドレインとなるシリコン基板表面の酸化膜を確実にエッチング除去できるため、安定したシリサイド形成が可能となる。更に、第3図における製造方法においては、簡単な工程でもって、ゲート電極両側面の少なくとも一部がシリサイド化されるため、ゲート電極の低抵抗化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すシリサイド型MOSFETの製造工程断面図である。

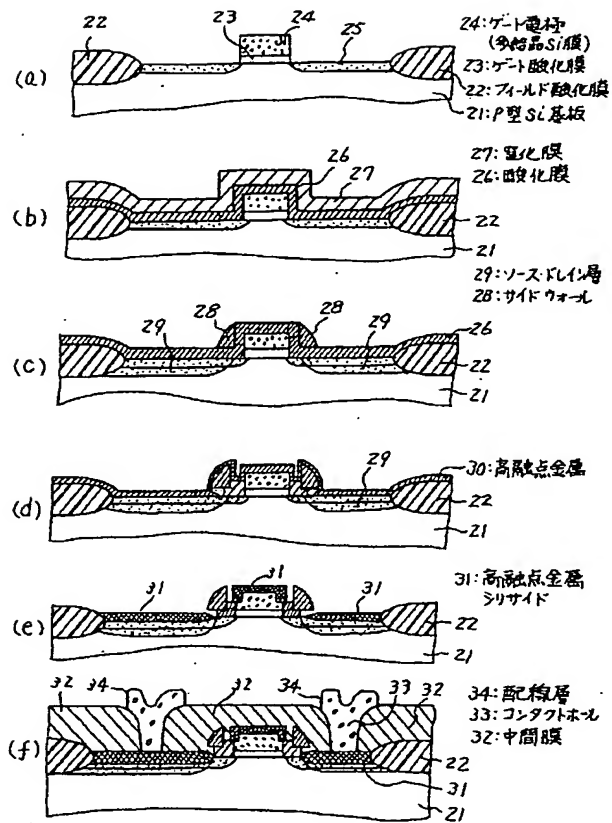
【図2】従来のシリサイド型MOSFETの製造工程断面図である。

【図3】本発明の第2の実施例を示すシリサイド型MOSFETの製造工程断面図である。

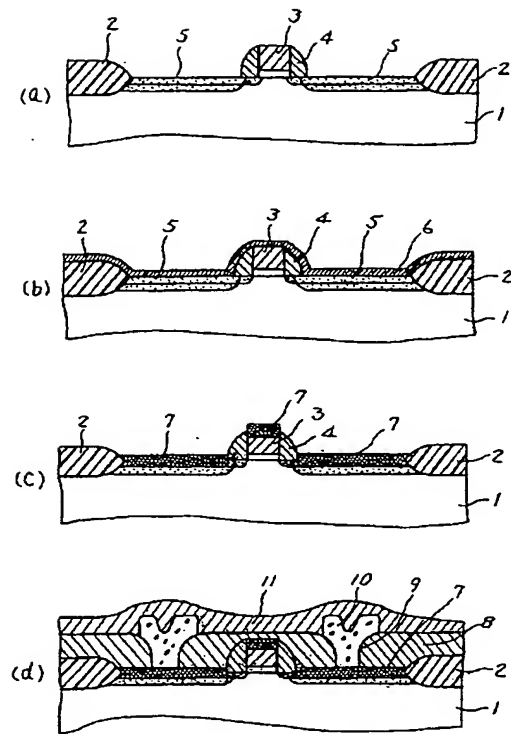
【符号の説明】

- | | | |
|----|------------|-----------------|
| 20 | 21, 41 | P型シリコン基板 |
| | 22, 42 | フィールド酸化膜 |
| | 23, 43 | ゲート酸化膜 |
| | 24, 44 | 多結晶シリコン膜(ゲート電極) |
| | 25, 45 | LDD層 |
| | 26, 46, 47 | 酸化膜 |
| | 27 | 窒化膜 |
| | 28 | サイドウォール |
| | 29 | ソース・ドレイン層 |
| | 30, 48 | 高融点金属膜 |
| 30 | 31, 49 | 高融点金属シリサイド |
| | 32 | 中間膜 |
| | 33 | コンタクトホール |
| | 34 | 配線層 |

【図1】



【図2】



【図 3】

